

Modul

DSF - Digitale Signalverarbeitung mit FPGA

Bachelor Elektrotechnik 2020

Version: 1 | Letzte Änderung: 13.09.2019 10:01 | Entwurf: 0 | Status: vom Modulverantwortlichen freigegeben | Verantwortlich: KraH

^ Allgemeine Informationen

Anerkannte Lehrveranstaltungen	DSF_Krah
Fachsemester	6
Dauer	1 Semester
ECTS	5
Zeugnistext (de)	Digitale Signalverarbeitung mit FPGA
Zeugnistext (en)	Digital Signal Processing with FPGA
Unterrichtssprache	deutsch
abschließende Modulprüfung	Ja

Modulprüfung

Benotet	Ja
Frequenz	Jedes Semester

Prüfungskonzept

Schriftliche Modulprüfung - ähnlich den Übungsaufgaben

^ Allgemeine Informationen

Inhaltliche Voraussetzungen

DSS - Grundkenntnisse in digitaler Signalverarbeitung
Diskrete Signale und Systeme

P11 - Grundkenntnisse digitaler Systeme
Praktische Informatik 1

Kompetenzen

Kompetenz	Ausprägung
Erkennen, Verstehen und analysieren technischer Zusammenhänge	Vermittelte Voraussetzungen für Kompetenzen
MINT Modelle nutzen	Vermittelte Kompetenzen
Technische Systeme simulieren	Vermittelte Kompetenzen
Technische Systeme analysieren	Vermittelte Kompetenzen
Technische Systeme entwerfen	Vermittelte Kompetenzen
Technische Systeme realisieren	Vermittelte Kompetenzen
Technische Systeme prüfen	Vermittelte Kompetenzen
MINT-Grundwissen benennen und anwenden	Vermittelte Kompetenzen
Informationen beschaffen und auswerten	Vermittelte Kompetenzen
Technische Zusammenhänge darstellen und erläutern	Vermittelte Kompetenzen
Arbeitsergebnisse bewerten	Vermittelte Voraussetzungen für Kompetenzen
Komplexe technische Aufgaben im Team bearbeiten	Vermittelte Kompetenzen

^ Vorlesung / Übungen

Exemplarische inhaltliche Operationalisierung

Grundbegriffe der digitalen Signalverarbeitung,
Beschreibung zeitdiskreter Systeme
Analog-Digital-Umsetzung und Abtast- Halteglied

Sigma-Delta-Modulation, Quantisierungsrauschen
Praktische Anwendung von z-Transformation
Auslegung digitaler Filter (IIR und FIR)
Festkommaarithmetik
Implementierung in einer DSP-Umgebung („C“ + Assembler)
Implementierung in einer FPGA-Umgebung („VHDL“)
FPGA Entwicklungssystem Quartus II
Einführung die FPGA Baureihe Max 10 von Altera / Intel
Eclipse / Nios II Entwicklungsumgebung

Separate Prüfung

keine

^ Praktikum

Exemplarische inhaltliche Operationalisierung

Praktische Anwendung von z-Transformation
Implementierung in einer FPGA-Umgebung („VHDL“)
FPGA Entwicklungssystem Quartus II
Einführung die FPGA Baureihe Max 10 von Altera / Intel
Nios II Entwicklungsumgebung

Separate Prüfung

Benotet	Nein
Frequenz	Einmal im Jahr
Voraussetzung für Teilnahme an Modulprüfung	Ja

Prüfungskonzept

praxisnahe Aufgabenstellungen (Präsenzpflicht)