

Modul

DSF - Digitale Signalverarbeitung mit FPGA

Bachelor Elektrotechnik 2020

Version: 1 | Letzte Änderung: 13.09.2019 10:01 | Entwurf: 0 | Status: vom Modulverantwortlichen freigegeben | Verantwortlich: KraH

^ Allgemeine Informationen

Anerkannte Lehrveranstaltungen	<u>DSF_Krah</u>
Fachsemester	6
Dauer	1 Semester
ECTS	5
Zeugnistext (de)	Digitale Signalverarbeitung mit FPGA
Zeugnistext (en)	Digital Signal Processing with FPGA
Unterrichtssprache	deutsch
abschließende Modulprüfung	Ja

Modulprüfung

Benotet	Ja
Frequenz	Jedes Semester

Prüfungskonzept

Schriftliche Modulprüfung - ähnlich den Übungsaufgaben

^ Allgemeine Informationen

Inhaltliche Voraussetzungen

DSS - Diskrete Signale und Systeme Grundkenntnisse in digitaler Signalverarbeitung

P11 - Praktische Informatik 1 Grundkenntnisse digitaler Systeme

Kompetenzen

Kompetenz	Ausprägung
Erkennen, Verstehen und analysieren technischer Zusammenhänge	Voraussetzungen für diese Kompetenz (Wissen,...) werden vermittelt
MINT Modelle nutzen	diese Kompetenz wird vermittelt
Technische Systeme simulieren	diese Kompetenz wird vermittelt
Technische Systeme analysieren	diese Kompetenz wird vermittelt
Technische Systeme entwerfen	diese Kompetenz wird vermittelt
Technische Systeme realisieren	diese Kompetenz wird vermittelt
Technische Systeme prüfen	diese Kompetenz wird vermittelt
MINT-Grundwissen benennen und anwenden	diese Kompetenz wird vermittelt
Informationen beschaffen und auswerten	diese Kompetenz wird vermittelt
Technische Zusammenhänge darstellen und erläutern	diese Kompetenz wird vermittelt
Arbeitsergebnisse bewerten	Voraussetzungen für diese Kompetenz (Wissen,...) werden vermittelt
Komplexe technische Aufgaben im Team bearbeiten	diese Kompetenz wird vermittelt

^ Vorlesung / Übungen

Exemplarische inhaltliche Operationalisierung

Grundbegriffe der digitalen Signalverarbeitung,
Beschreibung zeitdiskreter Systeme
Analog-Digital-Umsetzung und Abtast- Halteglied

Sigma-Delta-Modulation, Quantisierungsrauschen

Praktische Anwendung von z-Transformation

Auslegung digitaler Filter (IIR und FIR)

Festkommaarithmetik

Implementierung in einer DSP-Umgebung („C“ + Assembler)

Implementierung in einer FPGA-Umgebung („VHDL“)

FPGA Entwicklungssystem Quartus II

Einführung die FPGA Baureihe Max 10 von Altera / Intel

Eclipse / Nios II Entwicklungsumgebung

Separate Prüfung

keine

^ Praktikum

Exemplarische inhaltliche Operationalisierung

Praktische Anwendung von z-Transformation

Implementierung in einer FPGA-Umgebung („VHDL“)

FPGA Entwicklungssystem Quartus II

Einführung die FPGA Baureihe Max 10 von Altera / Intel

Nios II Entwicklungsumgebung

Separate Prüfung

Benotet	Nein
Frequenz	Einmal im Jahr
Voraussetzung für Teilnahme an Modulprüfung	Ja

Prüfungskonzept

praxisnahe Aufgabenstellungen (Präsenzpflicht)