

Modul

DSF - Digitale Signalverarbeitung mit FPGA

Bachelor Technische Informatik 2020

Version: 1 | Letzte Änderung: 03.02.2021 10:32 | Entwurf: 0 | Status: vom Modulverantwortlichen freigegeben | Verantwortlich: Krah

^ Allgemeine Informationen

Anerkannte Lehrveranstaltungen	DSF_Krah
Dauer	1 Semester
ECTS	5
Zeugnistext (de)	Digitale Signalverarbeitung mit FPGA
Zeugnistext (en)	Digital Signal Processing with FPGA
Unterrichtssprache	deutsch
abschließende Modulprüfung	Ja

Modulprüfung

Benotet	Ja
Frequenz	Jedes Semester

Prüfungskonzept

Schriftliche Modulprüfung - ähnlich den Übungsaufgaben

^ Allgemeine Informationen

Inhaltliche Voraussetzungen

PI1

Grundkenntnisse digitaler Systeme

-Praktische Informatik 1

Kompetenzen

Kompetenz	Ausprägung
Systeme analysieren	Voraussetzungen für diese Kompetenz (Wissen,...) werden vermittelt
Systeme entwerfen	diese Kompetenz wird vermittelt
Systeme realisieren	diese Kompetenz wird vermittelt
Systeme prüfen	diese Kompetenz wird vermittelt
Informationen beschaffen und auswerten; Technische Zusammenhänge darstellen und erläutern	diese Kompetenz wird vermittelt
Typische Werkzeuge, Standards und Best Practices der industriellen Praxis kennen und einsetzen	diese Kompetenz wird vermittelt
In vorhandene Systeme einarbeiten und vorhandene Komponenten sinnvoll nutzen	diese Kompetenz wird vermittelt
Projekte organisieren	diese Kompetenz wird vermittelt
Grundzüge wissenschaftlichen Arbeitens kennen und anwenden	diese Kompetenz wird vermittelt
Komplexe technische Aufgaben im Team bearbeiten	diese Kompetenz wird vermittelt
Gesellschaftliche und ethische Grundwerte anwenden	Voraussetzungen für diese Kompetenz (Wissen,...) werden vermittelt
Kommunikative und interkulturelle Fähigkeiten anwenden	diese Kompetenz wird vermittelt

^ Vorlesung / Übungen

Exemplarische inhaltliche Operationalisierung

Grundbegriffe der digitalen Signalverarbeitung

Beschreibung zeitdiskreter Systeme

Analog-Digital-Umsetzung und Abtast- Halteglied

Sigma-Delta-Modulation, Quantisierungsrauschen

Praktische Anwendung von z-Transformation

Auslegung digitaler Filter (IIR und FIR)

Festkommaarithmetik

Implementierung in einer DSP-Umgebung („C“ + Assembler) Implementierung in einer FPGA-Umgebung („VHDL“)

FPGA Entwicklungssystem Quartus II

Einführung die FPGA Baureihe Max 10 von Altera / Intel\Nios II Entwicklungsumgebung"

Separate Prüfung

keine

^ Praktikum

Exemplarische inhaltliche Operationalisierung

Praktische Anwendung von z-Transformation\nImplementierung in einer FPGA-Umgebung („VHDL“)

FPGA Entwicklungssystem Quartus II

Einführung die FPGA Baureihe Max 10 von Altera / Intel\Nios II Entwicklungsumgebung"

Separate Prüfung

Benotet	Nein
Frequenz	Einmal im Jahr
Voraussetzung für Teilnahme an Modulprüfung	Ja

Prüfungskonzept

praxisnahe Aufgabenstellungen (Präsenzpflicht)