

Modul

DSF - Digitale Signalverarbeitung mit FPGA

Bachelor Technische Informatik 2020

Version: 1 | Letzte Änderung: 03.02.2021 10:32 | Entwurf: 0 | Status: vom Modulverantwortlichen freigegeben | Verantwortlich: Krah

^ Allgemeine Informationen

Anerkannte Lehrveranstaltungen	DSF Krah
Dauer	1 Semester
ECTS	5
Zeugnistext (de)	Digitale Signalverarbeitung mit FPGA
Zeugnistext (en)	Digital Signal Processing with FPGA
Unterrichtssprache	deutsch
abschließende Modulprüfung	Ja

Modulprüfung

Benotet	Ja
Frequenz	Jedes Semester

Prüfungskonzept

Schriftliche Modulprüfung - ähnlich den Übungsaufgaben

^ Allgemeine Informationen

Inhaltliche Voraussetzungen

PI1

Grundkenntnisse digitaler Systeme

-Praktische Informatik 1

Kompetenzen

Kompetenz	Ausprägung
Systeme analysieren	Vermittelte Voraussetzungen für Kompetenzen
Systeme entwerfen	Vermittelte Kompetenzen
Systeme realisieren	Vermittelte Kompetenzen
Systeme prüfen	Vermittelte Kompetenzen
Informationen beschaffen und auswerten; Technische Zusammenhänge darstellen und erläutern	Vermittelte Kompetenzen
Typische Werkzeuge, Standards und Best Practices der industriellen Praxis kennen und einsetzen	Vermittelte Kompetenzen
In vorhandene Systeme einarbeiten und vorhandene Komponenten sinnvoll nutzen	Vermittelte Kompetenzen
Projekte organisieren	Vermittelte Kompetenzen
Grundzüge wissenschaftlichen Arbeitens kennen und anwenden	Vermittelte Kompetenzen
Komplexe technische Aufgaben im Team bearbeiten	Vermittelte Kompetenzen
Gesellschaftliche und ethische Grundwerte anwenden	Vermittelte Voraussetzungen für Kompetenzen
Kommunikative und interkulturelle Fähigkeiten anwenden	Vermittelte Kompetenzen

^ Vorlesung / Übungen

Exemplarische inhaltliche Operationalisierung

Grundbegriffe der digitalen Signalverarbeitung

Beschreibung zeitdiskreter Systeme

Analog-Digital-Umsetzung und Abtast- Halteglied

Sigma-Delta-Modulation, Quantisierungsrauschen

Praktische Anwendung von z-Transformation

Auslegung digitaler Filter (IIR und FIR)

Festkommaarithmetik

Implementierung in einer DSP-Umgebung („C“ + Assembler) Implementierung in einer FPGA-Umgebung („VHDL“)

FPGA Entwicklungssystem Quartus II

Einführung die FPGA Baureihe Max 10 von Altera / Intel\Nios II Entwicklungsumgebung“

Separate Prüfung

keine

^ Praktikum

Exemplarische inhaltliche Operationalisierung

Praktische Anwendung von z-Transformation\nImplementierung in einer FPGA-Umgebung („VHDL“)

FPGA Entwicklungssystem Quartus II

Einführung die FPGA Baureihe Max 10 von Altera / Intel\Nios II Entwicklungsumgebung“

Separate Prüfung

Benotet	Nein
Frequenz	Einmal im Jahr
Voraussetzung für Teilnahme an Modulprüfung	Ja

Prüfungskonzept

praxisnahe Aufgabenstellungen (Präsenzpflicht)