

Lehrveranstaltung

DSF - Digitale Signalverarbeitung mit FPGA

Version: 3 | Letzte Änderung: 13.09.2019 11:21 | Entwurf: 0 | Status: vom verantwortlichen Dozent freigegeben

^ Allgemeine Informationen

Langname	Digitale Signalverarbeitung mit FPGA
Anerkennende LModule	DSF_BaET , DSF_BaTIN
Verantwortlich	Prof. Dr. Jens Onno Krahl Professor Fakultät IME
Niveau	Bachelor
Semester im Jahr	Sommersemester
Dauer	Semester
Stunden im Selbststudium	60
ECTS	5
Dozenten	Prof. Dr. Jens Onno Krahl Professor Fakultät IME
Voraussetzungen	TI1, DSS, SuS
Unterrichtssprache	deutsch
separate Abschlussprüfung	Ja

Abschlussprüfung

Details

Schriftliche Modulprüfung - ähnlich den Übungsaufgaben

Mindeststandard

-

Prüfungstyp

Schriftliche Modulprüfung - ähnlich den Übungsaufgaben

^ Vorlesung / Übungen

Lernziele

Fertigkeiten

Grundbegriffe der digitalen Signalverarbeitung,
Beschreibung zeitdiskreter Systeme
Analog-Digital-Umsetzung und Abtast- Halteglied
Sigma-Delta-Modulation, Quantisierungsrauschen
Praktische Anwendung von z-Transformation
Auslegung digitaler Filter (IIR und FIR)
Festkommaarithmetik
Implementierung in einer DSP-Umgebung („C“ + Assembler)
Implementierung in einer FPGA-Umgebung („VHDL“)
FPGA Entwicklungssystem Quartus II
Einführung die FPGA Baureihe Max 10 von Altera / Intel
Eclipse / Nios II Entwicklungsumgebung

Aufwand Präsenzlehre

Typ	Präsenzzeit (h/Wo.)
Vorlesung	2
Übungen (ganzer Kurs)	2
Übungen (geteilter Kurs)	0
Tutorium (freiwillig)	0

Separate Prüfung

keine

^ Praktikum

Lernziele

Fertigkeiten

Praktische Anwendung von z-Transformation
Implementierung in einer FPGA-Umgebung („VHDL“)
FPGA Entwicklungssystem Quartus II
Einführung die FPGA Baureihe Max 10 von Altera / Intel
Nios II Entwicklungsumgebung

Aufwand Präsenzlehre

Typ	Präsenzzeit (h/Wo.)
Praktikum	1
Tutorium (freiwillig)	0

Separate Prüfung

keine